

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-136029

(43)Date of publication of application : 24.05.1990

(51)Int.Cl.

H02H 9/02

(21)Application number : 63-289280

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 15.11.1988

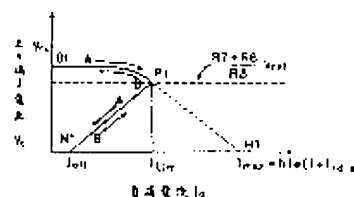
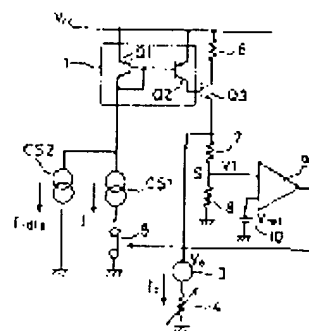
(72)Inventor : KOYANO ATSUSHI

(54) CURRENT LIMITER CIRCUIT

(57)Abstract:

PURPOSE: To limit a current supplied to a load from a transistor by placing a determined constant-current source of the two constant-current sources in an off-condition by decreasing an output current of a current mirror circuit smaller than in the past, when load terminal voltage is decreased to not more than a predetermined value with a load resistance value decreased.

CONSTITUTION: When electric potential V_o of an output terminal 3 reaches a point P1 obtaining a relation where $V_o = V_{ref} \times R7 + R8/R8$ (where, R7: resistance value of resistor 7, R8: resistance value of resistor 8), a contact opening control output is obtained from a comparator 9, and by this output, a normally-closed contact 5 is switched to an off-condition. Consequently, a current mirror circuit 1 generates only a flow of fine constant current I_{idle} by the second constant current source CS2, and current supplying capacity to an external load 4 by an NPN transistor Q3 is decreased by that amount. Accordingly, the potential V_o of the output terminal 3 is dropped approaching a zero level, and a load current I_o is limited to a microcurrent of I_{off} , that is, to an off-current.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-136029

⑪ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)5月24日

H 02 H 9/02

E

7337-5G

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 電流制限回路

⑮ 特 願 昭63-289280

⑯ 出 願 昭63(1988)11月15日

⑰ 発 明 者 小 矢 野 敦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社北伊丹製作所内

⑱ 出 願 人 三 菱 電 機 株 式 有 限 公 司 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁 理 士 大 岩 増 雄 外2名

明 細 書

1. 発明の名称

電流制限回路

2. 特許請求の範囲

(1) カレントミラー回路と、このカレントミラー回路のダイオード側に互いに並列に接続された2つの定電流源と、前記カレントミラー回路の出力電流を制御電極に受けて負荷へ電流を供給するトランジスタと、前記負荷の端子間電圧が所定値以下のとき前記2つの定電流源のうち定められた一方の定電流源をオフ状態にする手段とを備える電流制限回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、負荷電流を所定範囲内の電流値に制限するための電流制限回路に関するものである。

(従来の技術)

第3図は、この従来の電流制限回路の従来の構成を示す回路図である。図において、カレントミラー回路1は2つのPNPトランジスタQ1、Q2

からなり、一方のPNPトランジスタQ1はベース・コレクタ間が接続されてダイオードとして機能するようにしてあり、そのエミッタは電源V_{CC}に接続され、コレクタは定電流源CSの一方の端子に接続され、その定電流源CSの他方の端子は接地されている。上記PNPトランジスタQ1のベースはもう一方のPNPトランジスタQ2のベースに接続され、そのPNPトランジスタQ2のエミッタは電源V_{CC}に接続され、コレクタはNPNトランジスタQ3のベースに接続されている。NPNトランジスタQ3のコレクタは抵抗2を介して電源V_{CC}に接続され、エミッタは出力端子3に接続されている。このNPNトランジスタQ3のコレクタにはPNPトランジスタQ4のベースが接続され、そのPNPトランジスタQ4のエミッタは電源V_{CC}に接続され、コレクタはカレントミラー回路1の2つのPNPトランジスタQ1、Q2のベースに接続されている。上記出力端子3とグランドの間には外部負荷4が接続される。

時間平2-136024(2)

次に、上記電流制限回路の動作について説明する。

カレントミラー回路1のPNPトランジスタQ2を流れるコレクタ電流は、NPNトランジスタQ3にベース電流として与えられ、NPNトランジスタQ3に電流 I_0 が流れる。この電流 I_0 は出力端子3から外部負荷4へと供給される負荷電流となる。いま仮に、抵抗2やPNPトランジスタQ4がない場合を想定すると、定電流源CSを流れる定電流 I_{cs} と同等の電流がカレントミラー回路1の出力側つまりPNPトランジスタQ2のコレクタからNPNトランジスタQ3のベースに供給されるので、このNPNトランジスタQ3の電流増幅率を β_F としたとき、NPNトランジスタQ3は $I_{cs} \times \beta_F$ の負荷電流 I_0 を流す能力を持つことになる。したがって、外部負荷4の抵抗値R4が相小となったり、或いは出力端子3が接地されてしまったような場合、負荷電流 I_0 が極大の値となり大きな電力が消費されることになる。特に、この電流制限回路が振動回路に組み込まれて

いる場合には、集積回路のパッケージがその電力消費に伴う発熱に耐えられず、集積回路が破壊されてしまうことになる。ところが実際には、負荷電流 I_0 が一定値以上になると、抵抗2（その抵抗値をR2とする）による電圧降下分 $I_0 \times R2$ がPNPトランジスタQ4のベース・エミッタ間電圧 V_{BE} よりも大きくなって、このPNPトランジスタQ4がオン動作を始め、このためカレントミラー回路1の動作がオフとなって負荷電流 I_0 は制限される。

第4図は、上記外部負荷4の抵抗値R4の変化に伴う出力端子3の電圧 V_0 と負荷電流 I_0 の関係つまり負荷特性を示す特性図であり、図において矢印Aは外部負荷4の抵抗値R4が小さくなる方向を示し、矢印Bは外部負荷4の抵抗値R4が大きくなる方向を示す。同図において、外部負荷4の抵抗値R4が小さくなるにつれて特性曲線は矢印で示すO→Pのように変化して負荷電流 I_0 は増加し、仮に第3図の回路で抵抗2およびPNPトランジスタQ4からなる回路部がないものと

すると、特性曲線は点線で示すP→Mのように変化して負荷電流 I_0 は I_{max} に達してしまうことになる。しかし実際には上記した抵抗2およびPNPトランジスタQ4からなる回路部の働きによって、

$$I_{th} \approx \frac{V_{BE}}{R2} \quad \dots [1]$$

となる負荷電流 I_0 が流れようとする瞬間、特性曲線は実線で示すP→Nのように変化して、結局、負荷電流 I_0 は I_{th} から微小電流 ΔI （オフ電流）に抑えられる。

（発明が解決しようとする課題）

上記した従来の電流制限回路では、負荷電流 I_0 が

$$I_0 \times R2 = V_{BE} \quad \dots (2)$$

の条件を満たすときが電流制限動作の開始・停止の境界時点となるようにしているので、抵抗2の抵抗値R2の精度がそのほかに電流制限動作の精度を左右することになる。

上記条件を満たす抵抗値R2の値として、実際の回路では数10～100Ω程度の値が用いられるのが通例であるが、半導体集積回路では一般にこのような抵抗値を精度よく実現することは困難であり、このため上記した従来の電流制限回路を集積回路に組み込む場合、精度の高い動作を期待できないという問題点を有する。

また、負荷電流 I_0 が(2)式の条件を満たすような電流値付近にある場合、PNPトランジスタQ4がオン動作した瞬間、電流制限動作が行われてしまって抵抗2による電圧降下分が瞬時に零となりPNPトランジスタQ4はオフ状態に復帰し、さらにオフ状態に復帰すると直ちに次の電流制限動作が始まるというように、負荷電流 I_0 のオン・オフ状態が繰り返される発振状態を呈してしまい、いつまでも微小電流 ΔI （オフ電流）に落ち付かないという重大な問題点を有する。

この発明は上記のような問題点を解消するためになされたもので、電流制限動作が正電で電流制限動作時のオフ電流も安定させることのできる電

特開平2-136029 (3)

流制限回路を得ることを目的とする。

(課題を解決するための手段)

この発明に係る電流制限回路は、カレントミラー回路と、このカレントミラー回路のダイオード側に互いに並列に接続された2つの定電流源と、上記カレントミラー回路の出力電流を調節電極に受けて負荷へ電流を供給するトランジスタと、負荷の端子間電圧が所定値以下のとき上記した2つの定電流源のうち定められた一方の定電流源をオフ状態にする手段とを設けたものである。

(作用)

この発明においては、負荷の抵抗値が減少して負荷の端子間電圧が所定値以下になると、2つの定電流源のうち定められた一方の定電流源がオフ状態にされる。このため、カレントミラー回路の出力電流はそれまでよりも小さくなり、それに伴ってトランジスタから負荷に供給される電流が制限される。

(実施例)

第1図はこの発明による電流制限回路の一実施

例を示す回路図であり、1、3、4、Q1～Q3、 V_{CC} は上記従属回路と同一のものである。すなわち、カレントミラー回路1は2つのPNPトランジスタQ1、Q2からなり、一方のPNPトランジスタQ1はベース・コレクタ間が接続されてダイオードとして機能するようにしてあり、そのエミッタは電源 V_{CC} に接続され、ベースはもう一方のPNPトランジスタQ2のベースに接続され、そのPNPトランジスタQ2のエミッタは電源 V_{CC} に接続され、コレクタはNPNトランジスタQ3のベースに接続されている。このNPNトランジスタQ3のエミッタは出力端子3に接続されており、この出力端子3とグランドの間には外部負荷4が接続される。

さらに、この電流制限回路の場合、カレントミラー回路1のダイオード側つまりPNPトランジスタQ1のコレクタに対して2つの定電流源CS1、CS2が互いに並列に接続されている。すなわち、定電流1を流す第1の定電流源CS1はその一方の端子が上記PNPトランジスタQ1のコ

レクタに接続され、他方の端子が常閉接点5を介して接地されている。また、上記定電流1に比べて微小な電流 I_{idle} を流す第2の定電流源CS2はその一方の端子が上記PNPトランジスタQ1のコレクタに接続され、他方の端子が接地されている。

一方、NPNトランジスタQ3のコレクタは抵抗5を介して電源 V_{CC} に接続されている。また、このNPNトランジスタQ3のエミッタとグランド間には2つの分割抵抗7、8が並列に接続され、これら分割抵抗7、8の分割点Sは比較器9の一方の入力端子に接続され、この比較器9の他方の入力端子には所定の基準電圧 V_{ref} を発生する基準電圧源10が接続されている。そして、この比較器9の出力によって上記した常閉接点5をオフ動作させるように構成されている。すなわち、基準電圧 V_{ref} は、外部負荷4に供給される負荷電流 I_0 が所定の電流値 I_{lin} のときの分割点Sの電位 V_1 と等しくなるように設定されている。

第2図は、上記外部負荷4の抵抗値 R_4 の変化

に伴う出力端子3の電圧 V_0 と負荷電流 I_0 の関係を示す特性図であり、図において矢印Aは外部負荷4の抵抗値 R_4 が小さくなる方向を示し、矢印Bは外部負荷4の抵抗値 R_4 が大きくなる方向を示す。

次に、第2図の特性図を参照しつつ上記電流制限回路の動作について説明する。

カレントミラー回路1の出力電流つまりPNPトランジスタQ2を流れるコレクタ電流は、NPNトランジスタQ3にベース電流として与えられ、NPNトランジスタQ3に電流 I_0 が流れる。この電流 I_0 は出力端子3から外部負荷4へと供給される負荷電流となる。外部負荷4の抵抗値 R_4 が十分大きく、出力端子3の電位 $(I_0 \times R_4)$ を分割抵抗7、8によって分割した分割点Sの電位 V_1 が基準電圧 V_{ref} よりも大きいときには、比較器9からは接点開放制御出力が取り出されず、常閉接点5はオン状態に保たれ、2つの定電流源CS1、CS2はともにオン状態となる。

外部負荷4の抵抗値 R_4 が減少してくると、第

特開平2-136029(4)

2図に実験で示すように特性曲線はO1-P1のように変化して負荷電流 I_0 が増加するとともに、出力端子3の電位 V_0 は徐々に低下する。そして、出力端子3の電位 V_0 が

$$V_0 = V_{ref} \times \frac{R_7 + R_8}{R_8} \quad \dots (13)$$

ただし R_7 : 抵抗7の抵抗値

R_8 : 抵抗8の抵抗値

となる第2図におけるP1(このときの負荷電流 I_0 は I_{10})に達すると、比較器9から発点間接制御出力が得られ、この出力によって常閉接点5はオフ状態に切り換えられる。このため、カレントミラー回路1には第2の定電流源CS2による微小な定電流 I_{idle} しか流れなくなり、NPNトランジスタQ3による外部負荷4への定電流供給能力はそれだけ小さくなる。したがって、特性曲線は第2図に実験で示すP1-N1のように変化して、出力端子3の電位 V_0 は零レベル近くまで低下し、負荷電流 I_0 は I_{off} なる微小電流つま

りオフ電流に制限されることになる。

一旦、電流制限動作に移行した後は、微小な定電流 I_{idle} しか流れなくなるので、元の状態に復帰するためには相当量の外部負荷4の抵抗値 R_4 の増大が必要となり、このため発点状態を望することもなく、安定な電流制限動作となる。また電流制限動作に移行する臨界点は、上記(13)式に示すように基準電圧 V_{ref} と抵抗比 $(R_7 + R_8) / R_8$ とにより決定され、これらは比較的自由にかつ正値に設定可能であり、このため比較器9として動作精度の高い差動アンプ形式のものを適用することにより正確な電流制限動作が可能となる。

微小定電流 I_{idle} により出力端子3の電位 V_0 が $V_{ref} \times (R_7 + R_8) / R_8$ となることのできるように定電流源CS2を設定しておけば、電流制限動作の状態から外部負荷4の抵抗値 R_4 が増大してくると、特性曲線は第2図に実験で示すようにN1-P1と変化して、出力端子3の電位 V_0 が徐々に上昇し、再び定電流源CS1をオン状態に復帰させるように比較器9が作動する。

比較器9による制御機能がない場合には、外部負荷4の抵抗値 R_4 が増大するにつれて、特性曲線が第2図に虚線で示すようにP1-M1へと変化し、負荷電流 I_0 は極大の値 I_{max} となることは従来の回路で説明したのと同じである。なお、この場合、カレントミラー回路1の出力電流は $I + I_{idle}$ となるので、NPNトランジスタQ3の電流増幅率を h_{fe} とすると、上記負荷電流 I_0 の極大値 I_{max} は $h_{fe} (I + I_{idle})$ となる。

なお、上記実施例において、カレントミラー回路1の各PNPトランジスタQ1、Q2にエミッタ抵抗を挿入して、カレントミラー比を任意に変更してもよい。この場合には、2つの定電流源CS1、CS2の定電流 I 、 I_{idle} の値を設定するさいの自由度が増すので、負荷電流 I_0 の各値 I_{max} 、 I_{lim} 、 I_{off} をいろいろ変えて設定でき、電流制限回路の応用利用が可能となる。

(発明の効果)

以上のように、この発明によれば、負荷の抵抗値が減少していったその端子間電圧が所定値以下

になると、2つの定電流源のうちの一方がオフ状態になり、それによってカレントミラーの出力電流を小さくし、負荷電流を制限するように構成したので、電流制限動作が正確になり電流制限動作時のオフ電流も安定する効果がある。

4. 図面の簡単な説明

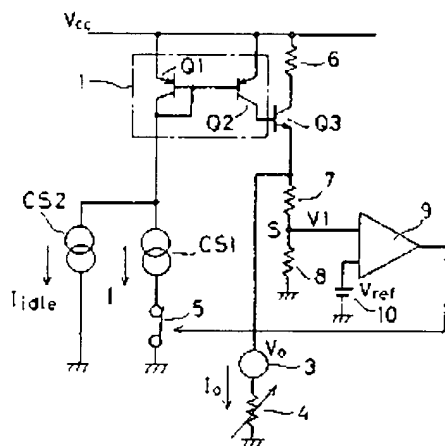
第1図はこの発明による電流制限回路の主要部を示す回路図、第2図はその回路による負荷特性を示す特性図、第3図は従来の電流制限回路を示す回路図、第4図はその回路による負荷特性を示す特性図である。

図において、1はカレントミラー回路、3は出力端子、4は外部負荷、5は常閉接点、7、8は分相抵抗、9は比較器、10は基準電圧源、CS1、CS2は定電流源、Q3はNPNトランジスタである。

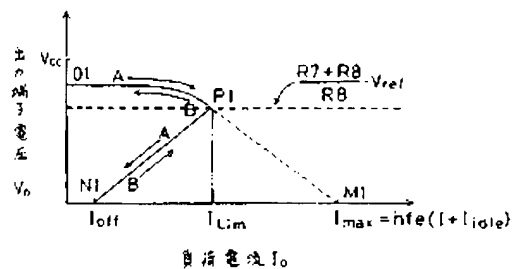
なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 昭 郎

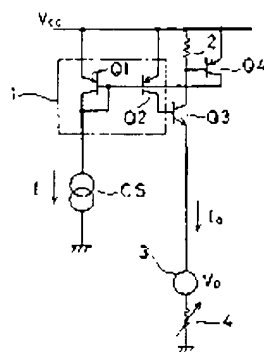
第 2 题



- 1: カレントミラー回路
3: エミタ端子
4: 外部負荷
5: 電圧降下
7,8: 分割抵抗
9: 比較器
10: 基準電圧源
CSI, CS2: 足電流源
Q3: NPNトランジスタ



第 3 回



● ● ●

